

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-84915

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
27/04	A	8427-4M		
	D	8427-4M		
		7514-4M	H 0 1 L 21/ 88	Z

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平4-231214

(22)出願日 平成4年(1992)8月31日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 吉木 保

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

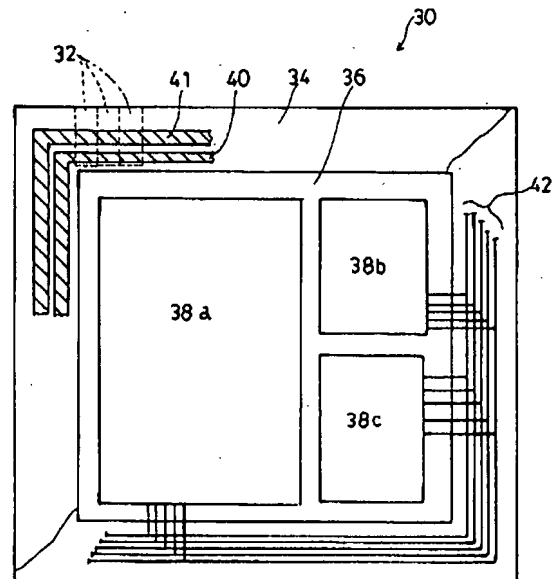
(74)代理人 弁理士 小杉 佳男 (外1名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】コア領域に配線されるバスラインを少なくし、このコア領域にできるだけ多くのブロック等を配置してコア領域が有効に利用でき、しかも各ブロック間をつなぐバスラインのノイズの発生を極力低減する半導体集積回路を提供する。

【構成】 周縁部に沿って入出力セル32が形成された入出力セル領域34上に配線された電源線40に、ブロック38a、38b、38c間をつなぐバスライン42を重ねて配線した。



【特許請求の範囲】

【請求項1】 周縁部に沿って入出力セルが形成された入出力セル領域と、該入出力セル領域上に配線された電源線及び接地線と、各所定の回路機能を構成する複数のブロックが隣接し配置されて前記入出力セル領域に囲まれたコア領域とを備えた半導体集積回路において、前記電源線及び／又は前記接地線と重ねて配線された、前記ブロック間をつなぐ信号線を備えたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、いわゆる階層的レイアウト手法によって構成された半導体集積回路に関する。

【0002】

【従来の技術】半導体集積回路の構成要素のレイアウト設計、およびそれら構成要素間の配線設計を行うにあたり、回路の大規模化に伴ってその設計工数が飛躍的に増大するため、回路全体を、各所定の機能を分担する複数のブロックに分担し、これら複数のブロックそれぞれの内部の回路構成要素の配置配線処理と、ブロックどうしの配置配線処理とを分けて行う階層的レイアウト手法が採用される場合がある。

【0003】図2を参照して、上記階層的レイアウト手法を用いて構成された従来の半導体集積回路の概略構成を説明する。図2は、従来の3層配線の半導体集積回路の概略構成を示す平面図である。半導体集積回路10は、周縁部に沿って形成された入出力セル12が配置された入出力セル領域14とこの入出力セル領域14に囲まれたコア領域16とに分かれており、コア領域16には、各所定の回路機能を構成する複数のブロック18a、18b、18cが隣接して配置されている。各ブロック18a、18b、18cでは、コア領域16に配線されたバスライン20により信号の送受信が行われる。

【0004】

【発明が解決しようとする課題】上記従来の半導体集積回路では複雑な回路機能を実現しようとするブロックの数も増え、それらのブロックを結ぶバスライン20やその他の信号線等の配線によりコア領域上の大きな面積が占められてしまい、コア領域の有効利用が損なわれることとなる。また、このバスライン20に平行して配線された他の信号線とのカップリングによりノイズが発生し、誤動作を生じる場合がある。

【0005】本発明は、上記事情に鑑み、コア領域を有効に利用でき、しかもこれらのブロック間をつなぐ信号線のノイズによる誤動作が極力低減される半導体集積回路を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するための本発明の半導体集積回路は、周縁部に沿って入出力セルが形成された入出力セル領域と、この入出力セル領域

上に配線された電源線及び接地線と、各所定の回路機能を構成する複数のブロックが隣接し配置されて入出力セル領域に囲まれたコア領域とを備えた半導体集積回路において、電源線及び／又は接地線と重ねて配線された、ブロック間をつなぐ信号線を備えたことを特徴とするものである。

【0007】

【作用】本発明の半導体集積回路では、複数のブロック間における信号の授受は、少なくともその一部が電源線及び／又は接地線と重ねて配線されたバスライン等の信号線を経由して行われる。この信号線は、入出力セル領域上に配線されているため、半導体集積回路の回路機能を固定した場合は、従来より狭いコア領域で済むこととなり、この結果、半導体集積回路のサイズを小型化できる。一方、半導体集積回路のサイズを従来と同じにした場合は、従来コア領域に配線されていた信号線が入出力セル領域上に配線されたため、コア領域に一層多くの回路機能を配置することができる。

【0008】また、電位の安定した電源線や接地線の上に少なくとも一部の信号線が配線されているため、これら電源線や接地線がシールド効果をなし、従来のように他の信号線との間の影響が少なくなり、ノイズによる誤動作を防止できる。

【0009】

【実施例】次に、図面を参照して本発明の半導体集積回路の一実施例を説明する。図1は本実施例の半導体集積回路の概略構成を示す平面図である。この半導体集積回路30は、この半導体集積回路30の周縁部に沿って複数の入出力セル32が形成された入出力セル領域34と、この入出力セル領域34に囲まれたコア領域36とに分かれており、3層配線構造となっている。

【0010】第1層のコア領域36には、各所定の回路機能を構成する複数のブロック38a、38b、38cが隣接して配置されている。また、第1層の入出力セル領域34の上には絶縁膜（図示せず）を挟んで電源線40、接地線41が配線された第2層が形成されており、この第2層の上には絶縁膜（図示せず）を挟んでバスライン42が配線された第3層が形成されている。このバスライン42により、複数のブロック38a、38b、38c相互間での信号の送受信が行われる。このバスライン42は従来の半導体集積回路（図2参照）のようにコア領域に配線（図2参照）されておらず、入出力セル領域34の上の従来何も使用されていなかったところに配線されている。このため、半導体集積回路30の回路機能を固定した場合は、従来より狭いコア領域とすることができ、半導体集積回路のサイズを小型化できる。一方、半導体集積回路のサイズを従来と同じにした場合は、従来コア領域に配線されていたバス配線が入出力セル領域上に配線されたため、コア領域に空きができ、この空いた部分に一層多くの回路機能を搭載することがで

きる。

【0011】また、電位の安定した電源線40、接地線41の上にバスライン42が配線されているため、従来のように他の信号線の影響を受けることがなく、ノイズの影響を防止できる。尚、上記実施例ではバスライン42は第3層に配線されているが、第3層である必要はないことはもちろんである。

【0012】

【発明の効果】上記のように、発明では入出力領域上にブロック間をつなく、例えばバスライン等の信号線を配置したため、空いた部分の面積を有効に使用することができる。また、電位が安定している電源線、接地線に重ねて信号配線を配線することにより、ノイズの影響を防止できる。

【図面の簡単な説明】

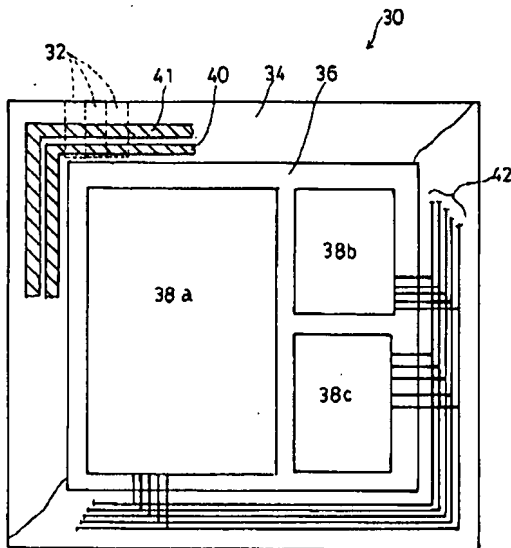
【図1】本発明の一実施例の半導体集積回路の概略構成を示す平面図である。

【図2】従来の半導体集積回路の概略構成を示す平面図である。

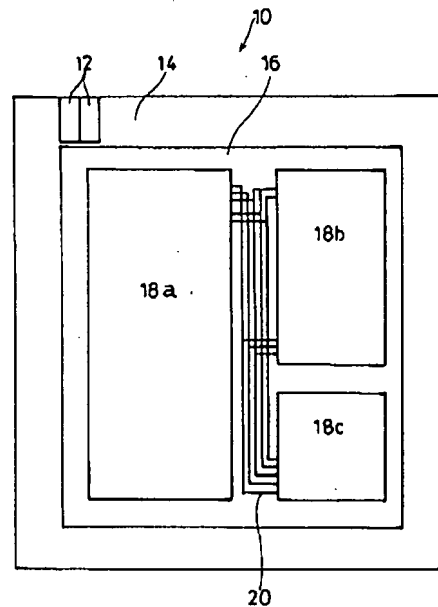
【符号の説明】

- 30 半導体集積回路
- 32 入出力セル
- 34 入出力セル領域
- 36 コア領域
- 38a、38b、38c ブロック
- 40 A1電源線
- 42 バスライン

【図1】



【図2】



PAT-NO: JP406084915A

DOCUMENT-IDENTIFIER: JP 06084915 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: March 25, 1994

INVENTOR-INFORMATION:

NAME

YOSHIKI, TAMOTSU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

KAWASAKI STEEL CORP

N/A

APPL-NO: JP04231214

APPL-DATE: August 31, 1992

INT-CL (IPC): H01L021/3205, H01L027/04

US-CL-CURRENT: 257/786

ABSTRACT:

PURPOSE: To provide a semiconductor integrated circuit which allows less bus lines to be arranged in a core region, arranges many blocks, etc., in the core region so as to efficiently use the core region and reduces noise on a bus line which connects the blocks.

CONSTITUTION: Bus lines 42 which connect blocks 38a, 38b and 38c are overlapped with a power source line 40 which is arranged on an input/output cell region 34 whereupon input/output cells 32 are formed along the periphery.

COPYRIGHT: (C)1994,JPO&Japio